

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshio OZAWA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR MEMORY AND MANUFACTURING METHOD FOR THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

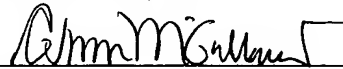
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-192493	July 4, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

S905

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 4 日
Date of Application:

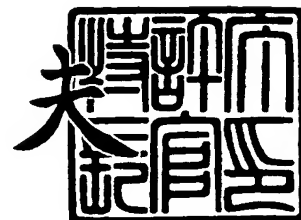
出 願 番 号 特 願 2 0 0 3 - 1 9 2 4 9 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 9 2 4 9 3]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 7 5 0

【書類名】 特許願

【整理番号】 APB036012

【提出日】 平成15年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
H01L 29/78

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 19

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 小澤 良夫

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 田中 正幸

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 荒井 史隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】**【予納台帳番号】** 001982**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置であって、前記メモリセルアレイは、

前記複数本のメモリセルカラム間に配置された素子分離絶縁膜と、

該素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成する第一導電層と、

少なくともシリコンと窒素とを含む絶縁膜からなり、前記第一導電層の頂部上にそれぞれ配置され、且つ隣接するメモリセルカラムから分離した第一の導電層間絶縁膜と、

該第一の導電層間絶縁膜とは異なる絶縁膜からなり、該第一の導電層間絶縁膜上にそれぞれ配置され、且つ隣接するメモリセルカラムと連続した第二の導電層間絶縁膜と、

該第二の導電層間絶縁膜上に配置され且つ隣接するメモリセルカラムと連続した第二導電層

とを備えることを特徴とする半導体記憶装置。

【請求項 2】 前記行方向に沿って並列に走行する複数のワード線が、前記列方向に配列された複数のメモリセルトランジスタの前記第二導電層に電氣的に接続されたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記列方向に沿って、前記メモリセルカラムにそれぞれ配列されたビット線を更に備えることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記メモリセルカラムの一端側に配置され、前記前記メモリセルカラムに配列されたメモリセルトランジスタを選択する選択トランジスタと、

該第選択トランジスタのそれぞれのゲートに接続された選択ゲート配線とを更に備えることを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 前記第一の導電層間絶縁膜は、前記頂部から前記素子分離絶

縁膜と前記第一導電層の境界面となる前記第一導電層の側面にまで延長形成されていることを特徴とする請求項 1～4 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】 前記第一の導電層間絶縁膜は、シリコンと窒素以外の元素を 20% 以下含むシリコン窒化膜であることを特徴とする請求項 1～5 のいずれか 1 項に記載の半導体記憶装置。

【請求項 7】 前記第二の導電層間絶縁膜は、アルミニウム酸化物、ハフニウム酸化物、ジルコニウム酸化物のいずれか 1 つの単層膜或いはこれらの少なくとも 1 つを含む複数の絶縁膜からなる積層膜であることを特徴とする請求項 1～6 のいずれか 1 項に記載の半導体記憶装置。

【請求項 8】 メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置の製造方法であって、

半導体基板の表面にセル部ゲート絶縁膜を形成する工程と、

該セル部ゲート絶縁膜上に第一導電層を形成する工程と、

前記第一導電層、前記セル部ゲート絶縁膜及び前記半導体基板の表面の一部をそれぞれ選択的にエッチングし、前記複数本のメモリセルカラムに分離する素子分離溝を形成する工程と、

該素子分離溝に、前記複数本のメモリセルカラム間を電氣的に分離する素子分離絶縁膜を埋め込む工程と、

少なくともシリコンと窒素とを含む絶縁膜からなり、前記第一導電層の頂部上に、隣接するメモリセルカラムから分離した第一の導電層間絶縁膜をそれぞれ形成する工程と、

該第一の導電層間絶縁膜とは異なる絶縁膜からなり、該第一の導電層間絶縁膜上に第二の導電層間絶縁膜を隣接するメモリセルカラムに連続して形成する工程と、

該第二の導電層間絶縁膜上に第二導電層を形成する工程

とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項 9】 前記第一の導電層間絶縁膜をそれぞれ形成する工程は、CVD 炉内でガスエッチングし、前記第一導電層の表面に形成された自然酸化膜を除

去する段階と、

大気に晒すことなく、前記CVD炉内と同一炉内で、連続的に、前記自然酸化膜が除去された前記第一導電層の表面に、前記第一の導電層間絶縁膜を選択的に堆積する段階

とを含むことを特徴とする請求項8記載の半導体記憶装置の製造方法。

【請求項10】 前記第一の導電層間絶縁膜を選択的に堆積する段階は、700℃以下、500℃以上で実施することを特徴とする請求項9記載の半導体記憶装置の製造方法。

【請求項11】 前記第一の導電層間絶縁膜を選択的に堆積する段階は、シリコンのハロゲン化物のガスをソースガスとして用いたCVDであることを特徴とする請求項9又は10記載の半導体記憶装置の製造方法。

【請求項12】 前記シリコンのハロゲン化物は、塩素化合物であることを特徴とする請求項11記載の半導体記憶装置の製造方法。

【請求項13】 前記シリコンのハロゲン化物は、トリクロルシラン又はテトラクロルシランであることを特徴とする請求項11記載の半導体記憶装置の製造方法。

【請求項14】 前記自然酸化膜の除去する段階を、900℃以下、500℃以上で水素を含む雰囲気で行うことを特徴とする請求項9～13のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項15】 前記自然酸化膜の除去する段階を、減圧下で行うことを特徴とする請求項9～14のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項16】 前記第一の導電層間絶縁膜をそれぞれ形成する工程は、窒素ラジカルを用いたラジカル窒化法で実施することを特徴とする請求項8記載の半導体記憶装置の製造方法。

【請求項17】 前記第一の導電層間絶縁膜をそれぞれ形成する工程は、一酸化窒素ガス中での熱処理により、前記第一導電層の露出面に、選択的に前記第一の導電層間絶縁膜と該前記第一の導電層間絶縁膜上のシリコン酸化膜を形成する段階と、

前記第一の導電層間絶縁膜とシリコン酸化膜を形成した後、前記シリコン酸化

膜を除去する段階

とを含むことを特徴とする請求項 8 記載の半導体記憶装置の製造方法。

【請求項 18】 前記第一の導電層間絶縁膜は、シリコンと窒素以外の元素を 20% 以下含むシリコン窒化膜であることを特徴とする請求項 8 ～ 17 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【請求項 19】 前記第二の導電層間絶縁膜は、アルミニウム酸化物、ハフニウム酸化物、ジルコニウム酸化物のいずれか 1 つの単層膜或いはこれらの少なくとも 1 つを含む複数の絶縁膜からなる積層膜であることを特徴とする請求項 8 ～ 18 のいずれか 1 項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に係り、特に複数のメモリセルを接続したメモリセルカラムが近接して配置された微細な不揮発性半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、フラッシュメモリ等の不揮発性メモリセルにおいて、第一導電層（浮遊ゲート電極）と第二導電層（制御ゲート電極）との間を絶縁する導電層間絶縁膜材料にアルミナ（ Al_2O_3 ）膜を使うことが提案されている（非特許文献 1 参照）。アルミナ膜は、従来の ONO 積層膜（シリコン酸化膜（ SiO_2 膜）／シリコン窒化膜（ Si_3N_4 膜）／シリコン酸化膜（ SiO_2 膜）の 3 層積層膜）に比べて誘電率が高いので、導電層間絶縁膜の面積を縮小することができ、セルサイズの微細化に適した材料である。同様の理由で、ハフニウム（ Hf ）酸化膜、ジルコニウム（ Zr ）酸化膜、タンタル（ Ta ）酸化膜等の高誘電体酸化膜、又はこれらの高誘電体酸化膜に不純物を添加した絶縁膜が、導電層間絶縁膜材料の候補として挙げられる。しかし、これらの高誘電体絶縁膜は、電界を印加すると不揮発性メモリとして許容できないレベルのリーク電流が流れるため、通常は、高誘電体絶縁膜を成膜後に、酸素ラジカル等の酸化性雰囲気中で改質アニールを行

い、絶縁膜のリーク電流を低減させる必要がある。しかし、導電層間絶縁膜として使う場合には、この改質アニールの際に、高誘電体絶縁膜と第一導電層の界面に誘電率の低いシリコン酸化膜が形成されてしまい、導電層間絶縁膜の実効的な誘電率が下がって、高誘電体絶縁膜を導入したメリットが享受できない。

【0003】

改質アニール時のシリコン酸化膜形成を回避するために、高誘電体絶縁膜の下層に、シリコン窒化膜（ Si_3N_4 膜）を設けることが一般的に知られている。図22に、この従来技術で形成されたメモリセル構造のワード線方向の断面模式図を示す。半導体基板（シリコン基板）1上に、セル部ゲート絶縁膜2となるトンネル絶縁膜を介して、複数の第一導電層（浮遊ゲート電極）3が、互いに距離をおいて隣接している。各々の第一導電層間には、素子分離絶縁膜4が埋め込まれている。更に、第一導電層3の側面の一部と上面、及び素子分離絶縁膜4の上面は第一の導電層間絶縁膜（ Si_3N_4 膜）5と第二の導電層間絶縁膜（ Al_2O_3 膜）6からなる複合導電層間絶縁膜と第二導電層（制御ゲート電極）7で覆われている。

【0004】

しかし、図22のセル構造では、素子分離絶縁膜4を隔てた隣接する第一導電層3は、第一の導電層間絶縁膜5でつながっている。第一の導電層間絶縁膜5に用いるシリコン窒化膜は電荷トラップ準位を多く含んでいるため、一方の第一導電層3に蓄積した電荷が、シリコン窒化膜を介して他方の第一導電層3へわずかに流れることになる。この電荷移動によるセルしきい値変動は、メモリセルサイズの縮小とともに顕著となる。特に、不揮発性メモリでは10年間の電荷保持を保証する必要があるため、メモリセル微細化の課題となっている。

【0005】

なお、この問題は、高誘電体絶縁膜を複合導電層間絶縁膜（5，6）に使う場合のみの問題ではない。従来のONO膜を使う場合にも、セル部の電極側壁酸化膜を形成する際のバースビーク酸化による導電層間絶縁膜の容量低下を抑える等の理由により、ONO膜の下層にシリコン窒化膜を設けると、同様の問題が起こる。

【0006】

又、第二の導電層間絶縁膜 6 の下層に設けた第一の導電層間絶縁膜 (Si_3N_4 膜) 5 と第一導電層 (浮遊ゲート電極) 3 との界面に、自然酸化膜等の薄いシリコン酸化膜がある場合や、ONO 膜の下層シリコン酸化膜が薄い場合にも、同様の問題が起こる。即ち、第一導電層 3 とシリコン窒化膜との間を、電荷が容易に透過できる程度の薄さのシリコン酸化膜であれば、隣接する第一導電層 (浮遊ゲート電極) 間の電荷移動に起因するセルしきい値変動が起こる。

【0007】

この問題を回避する手段として、図 23 に示すようなメモリセル構造が提案されている (特許文献 1 参照。)。素子分離絶縁膜 4 を隔てた隣接するメモリセルの導電層間絶縁膜 5 が、素子分離絶縁膜 4 上のスリット 9 で分断された構造になっており、第一導電層 3 間の電荷移動を防止している。即ち、図 23 に示すセル構造は、隣接する第一導電層 (浮遊ゲート電極) 3 間の電荷移動を防止するために、素子分離絶縁膜 4 を隔てた隣接するメモリセルの導電層間絶縁膜 5 が、素子分離絶縁膜 4 上のスリット 9 で分断されている。そして、スリット 9 には第二導電層 (制御ゲート電極) 7 の一部が埋め込まれている。

【0008】

【特許文献 1】

特開 2001-168306 号公報

【0009】

【非特許文献 1】

「シンポジウム・オン VLSI テクノロジ・ダイジェスト・オブ・テクニカルペーパー (Symposium on VLSI Technology Digest of Technical Papers)」, 1997 年, P. 117

【0010】

【発明が解決しようとする課題】

しかし、図 23 に示す第一導電層 3 と第二導電層 7 との絶縁性をスリット 9 を介して挟まれた素子分離絶縁膜 4 で確保する構造では、スリット 9 の位置を制御性良く形成するのは困難のため、メモリセルを微細化した場合、第一導電層 (浮

遊ゲート電極) 3 と第二導電層 (制御ゲート電極) 7 間の絶縁性が確保できない。このため、電荷リークに起因するデータ保持特性劣化やショート不良率増大という問題が起こる。

【0011】

又、スリット加工時に、導電層間絶縁膜 5 表面にレジストが直接塗布されるため、導電層間絶縁膜 5 の膜質が低下する。導電層間絶縁膜 5 の厚さを薄膜化した場合は、第一導電層 (浮遊ゲート電極) 3 から第二導電層 (制御ゲート電極) 7 への電荷リークに起因するデータ保持特性劣化が起こるという問題がある。

【0012】

上記した従来技術の課題を鑑み、本発明は、第一導電層と第二導電層間の絶縁性を確保して、電荷リークに起因するデータ保持特性劣化やショート不良率増大という問題を回避しつつ、第一の導電層間絶縁膜を介した第一導電層間の電荷移動に起因するセルしきい値変動を防止することが可能な半導体記憶装置及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明の第 1 の特徴は、メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置であって、メモリセルアレイは (イ) 複数本のメモリセルカラム間に配置された素子分離絶縁膜と、 (ロ) その素子分離絶縁膜により互いに分離され、互いに隣接するメモリセルカラムにそれぞれ属するメモリセルトランジスタの一部を構成する第一導電層と、 (ハ) 少なくともシリコンと窒素とを含む絶縁膜からなり、第一導電層の頂部上にそれぞれ配置され、且つ隣接するメモリセルカラムから分離した第一の導電層間絶縁膜と、 (ニ) その第一の導電層間絶縁膜とは異なる絶縁膜からなり、第一の導電層間絶縁膜上にそれぞれ配置され、且つ隣接するメモリセルカラムと連続した第二の導電層間絶縁膜と、 (ホ) その第二の導電層間絶縁膜上に配置され且つ隣接するメモリセルカラムと連続した第二導電層とを備える半導体記憶装置であることを要旨とする。

【0014】

本発明の第2の特徴は、メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備える半導体記憶装置の製造方法であって、（イ）半導体基板の表面にセル部ゲート絶縁膜を形成する工程と、（ロ）そのセル部ゲート絶縁膜上に第一導電層を形成する工程と、（ハ）第一導電層、セル部ゲート絶縁膜及び半導体基板の表面の一部をそれぞれ選択的にエッチングし、複数本のメモリセルカラムに分離する素子分離溝を形成する工程と、（ニ）その素子分離溝に、複数本のメモリセルカラム間を電氣的に分離する素子分離絶縁膜を埋め込む工程と、（ホ）少なくともシリコンと窒素とを含む絶縁膜からなり、第一導電層の頂部上に、隣接するメモリセルカラムから分離した第一の導電層間絶縁膜をそれぞれ形成する工程と、（ヘ）その第一の導電層間絶縁膜とは異なる絶縁膜からなり、第一の導電層間絶縁膜上に第二の導電層間絶縁膜を隣接するメモリセルカラムに連続して形成する工程と、（ト）その第二の導電層間絶縁膜上に第二導電層を形成する工程とを備える半導体記憶装置の製造方法であることを要旨とする。

【0015】

【発明の実施の形態】

次に、図面を参照して、本発明の第1乃至第3の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0016】

又、以下に示す第1乃至第3の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0017】

(第1の実施の形態)

本発明の第1の実施の形態に係る半導体記憶装置は、図1及び図2に示ように、それぞれ独立して電荷蓄積状態が制御される電荷蓄積層を有するメモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラムを行方向に沿って複数本並列配置したメモリセルアレイを備えるNAND型フラッシュメモリである。図1は図2に示したワード線WL₁, WL₂, …… , WL₃₂方向に沿った切断面で見た場合の断面図であるので、図2を先に説明する。

【0018】

即ち、本発明の第1の実施の形態に係る半導体記憶装置は、図2に示すように、行方向に配列される複数のワード線WL₁, WL₂, ……WL₃₂と、このワード線WL₁, WL₂, ……WL₃₂と直交する列方向に配列される複数のビット線BL_{2j-1}, BL_{2j}, BL_{2j+1}, ……を備えている。そして、図2の列方向には、複数のワード線WL₁, WL₂, ……WL₃₂のいずれかにより、それぞれ電荷蓄積状態を制御される電荷蓄積層を有するメモリセルトランジスタが配列されている。図2の場合は、列方向に32個のメモリセルトランジスタが配列されてメモリセルカラムを構成した場合を示している。このメモリセルカラムの配列の両端には、列方向に隣接して配置され、メモリセルカラムに配列された一群のメモリセルトランジスタを選択する一対の選択トランジスタが配置されている。この一対の選択トランジスタのそれぞれのゲートには、一対の選択ゲート配線SGD, SGSが接続されている。

【0019】

そして、図1に示すように、第1の実施の形態に係る半導体記憶装置のメモリセルアレイは、半導体基板1上に複数本のメモリセルカラム間に配置された素子分離絶縁膜4と、その素子分離絶縁膜4により互いに分離された第一導電層3と、第一導電層3の頂部上にそれぞれ配置された第一の導電層間絶縁膜5と、素子分離絶縁膜4と第一の導電層間絶縁膜5上にそれぞれ配置された第二の導電層間絶縁膜6と、第二の導電層間絶縁膜6上に配置された第二導電層7とを備える。

【0020】

より詳細に説明すれば、半導体基板1と第一導電層3間にはセル部ゲート絶縁

膜 2 となるトンネル酸化膜が配置され、このセル部ゲート絶縁膜（トンネル酸化膜）2 を介して、複数の第一導電層（浮遊ゲート電極）3 が、互いに距離をおいて隣接している。各々の第一導電層 3 間には、第一導電層 3 の約半分の高さまで、素子分離絶縁膜 4 が埋め込まれている。第一導電層 3 の側面の一部と上面は、第一の導電層間絶縁膜 5 で覆われている。即ち、第一の導電層間絶縁膜 5 は、第一導電層 3 の上部端面からこの上部端面に連続する側面まで延長形成されている。このため、第一の導電層間絶縁膜 5 が、延長形成される最先端の位置は、素子分離絶縁膜 4 の上部端面の位置までである。第一の導電層間絶縁膜 5 は少なくともシリコンと窒素とを含む絶縁膜からなる絶縁膜であれば良いが、第 1 の実施の形態ではシリコン窒化膜（ Si_3N_4 膜）の場合で説明する。但し、第一の導電層間絶縁膜 5 は、主成分がシリコン（ Si ）と窒素（ N ）であれば、他の元素を含んでいても良い。水素（ H ）、塩素（ Cl ）、酸素（ O ）等が含まれていても良い。例えば、水素（ H ）が 10 % 程度含まれる場合も、本発明は適用できる。図 1 に示すとおり、第一の導電層間絶縁膜 5 は、隣接するメモリセルカラムから分離して配置されている。

【0021】

第一の導電層間絶縁膜 5 の上部に配置される第二の導電層間絶縁膜 6 は、第一の導電層間絶縁膜 5 とは異なる絶縁膜からなり、隣接するメモリセルカラムと連続して配置されている。第二の導電層間絶縁膜 6 として用いる絶縁膜としては、シリコン窒化膜（ Si_3N_4 膜）の比誘電率 ϵ_r の 7 以上の高誘電率の材料が好ましい。例えば、 $\epsilon_r = 8 \sim 11$ であるアルミニウム酸化物（ Al_2O_3 ）膜、 $\epsilon_r = 10$ であるマグネシウム酸化物（ MgO ）膜、 $\epsilon_r = 16 \sim 17$ であるイットリウム酸化物（ Y_2O_3 ）膜、 $\epsilon_r = 22 \sim 23$ であるハフニウム酸化物（ HfO_2 ）膜、 $\epsilon_r = 22 \sim 23$ であるジルコニウム酸化物（ ZrO_2 ）膜、 $\epsilon_r = 25 \sim 27$ であるタンタル酸化物（ Ta_2O_5 ）膜、 $\epsilon_r = 40$ であるビスマス酸化物（ Bi_2O_3 ）膜のいずれか 1 つの単層膜或いはこれらの複数を積層した複合膜が使用可能である。 Ta_2O_5 や Bi_2O_3 は多結晶シリコンとの界面における熱的安定性に欠ける。更には、シリコン酸化膜とこれらの複合膜でも良い。複合膜は 3 層以上の積層構造でも良い。即ち、少なくとも、一部に上記の比誘電率 ϵ_r が 7 以上

の材料を含む絶縁膜であれば良い。但し、複合膜の場合は膜全体として測定される実効的な比誘電率 ϵ_{reff} が 7 以上になる組み合わせを選択することが好ましい。実効的な比誘電率 ϵ_{reff} が 7 未満では、従来の ONO 膜と同程度であり、ONO 膜以上の効果が期待できないからである。しかし、ONO 膜の使用の可能性を排除するものではない。更に、ハフニウム・アルミネート (HfAlO) 膜のような 3 元系の化合物からなる絶縁膜でも良い。

【0022】

即ち、第二の導電層間絶縁膜 6 として用いる絶縁膜としては、アルミニウム (Al)、マグネシウム (Mg)、イットリウム (Y)、ハフニウム (Hf)、ジルコニウム (Zr)、タンタル (Ta)、ビスマス (Bi) のいずれか 1 つの元素を少なくとも含む酸化物等がある。なお、強誘電体のチタン酸ストロンチウム (SrTiO_3)、バリウム・チタン酸ストロンチウム (BaSrTiO_3) 等も高誘電率の絶縁膜材料として使用可能であるが、多結晶シリコンとの界面における熱的安定性に欠ける点と、強誘電体のヒステリシス特性に対する考慮が必要になる。但し、本発明の第 1 の実施の形態に係るメモリセル構造では、第一の導電層間絶縁膜 5 として、 Si_3N_4 膜を、第二の導電層間絶縁膜 6 として、 Al_2O_3 膜を用いる 2 層積層構造の場合を例示する。

【0023】

第二の導電層間絶縁膜 6 の上部に配置される第二導電層 7 は、隣接するメモリセルカラムと連続して配置されている。

【0024】

このように、第 1 の実施の形態に係るメモリセル構造では、第一導電層 3 と第二導電層 7 との間には第二の導電層間絶縁膜 6 があるため、第一導電層 3 と第二導電層 7 との間 の電荷リークやショート不良は起きない。又、隣接する第一導電層 3 間は第一の導電層間絶縁膜 (Si_3N_4 膜) 5 でつながっていないため、 Si_3N_4 膜に起因した電荷移動に伴うセルしきい値の変動はない。なお、本発明の第 1 の実施の形態に係るメモリセル構造において、上述した Si_3N_4 膜に起因した電荷移動に伴うセルしきい値変動の抑制効果が大きいのは、減圧 CVD シリコン窒化膜 (Si_3N_4 膜) やプラズマ CVD シリコン窒化膜 (Si_3N_4 膜) のように

、水素や塩素を多く含んでおり、電荷トラップ準位が多い場合である。

【0025】

なお、第1の実施の形態に係るメモリセル構造は、これに限るものではない。例えば、第一導電層（浮遊ゲート電極）3と第一の導電層間絶縁膜（ Si_3N_4 膜）5との間に、電荷が容易に透過できる程度の薄いシリコン酸化膜（ SiO_2 膜）が更に存在する場合にも、本発明は適用できる。この第一導電層（浮遊ゲート電極）3と第一の導電層間絶縁膜（ Si_3N_4 膜）5との間のシリコン酸化膜の厚さは典型的には2 nm以下が好ましい。

【0026】

第1の実施の形態に係るメモリセル構造の製造方法を、図3～図7を用いて説明する。図3～図7では、図2に示したビット線 BL_{2j-1} 、 BL_{2j} 、 BL_{2j+1} 、……方向の断面図は省略している。なお、以下に述べる第1の実施の形態に係るメモリセル構造の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0027】

(イ) まず、所望の不純物をドーピングした半導体基板（ Si 基板）1の表面に、セル部ゲート絶縁膜2となる厚さ10 nmのトンネル酸化膜を熱酸化法で形成する。その後、第一導電層3となる厚さ100 nmのリンドープの多結晶シリコン層3、素子分離加工のためのマスク膜101を順次、化学的気相堆積（CVD）法で堆積する。その後、レジストマスク（図示せず）を用いた反応性イオンエッチング（RIE）法により、マスク膜101、多結晶シリコン層3、トンネル酸化膜（セル部ゲート絶縁膜）2を順次エッチング加工し、更に半導体基板1の露出領域をエッチングして、図3に示すように、深さ100 nmの素子分離溝41を形成する。

【0028】

(ロ) 次に、全面に素子分離用のシリコン酸化膜4を堆積して、素子分離溝41を完全に埋め込む。その後、表面部分のシリコン酸化膜4を化学的機械研磨（CMP）法で、マスク膜101が露出するまで除去し、図4に示すように表面を平坦化する。この結果、素子分離溝41にはシリコン酸化膜からなる素子分離絶

縁膜 4 が埋め込まれる。

【0029】

(ハ) 次に、露出したマスク膜 101 を選択的にエッチング除去する。更に、その後、シリコン酸化膜 4 の表面近傍の領域を希フッ酸 (HF) 溶液を用いて部分的にエッチング除去し、多結晶シリコン層 (第一導電層) 3 の側壁面を露出させる。側壁面の高さは 50 nm とした。この希フッ酸処理後の水洗のときに、図 5 に示すように、第一導電層 (多結晶シリコン層) 3 の表面に、厚さ 1 nm 以下の自然酸化膜 109b が形成される。

【0030】

(ニ) 次に、半導体基板 1 を減圧 CVD 炉内に導入し、850℃、1 kPa の水素雰囲気中に晒して、第一導電層 (多結晶シリコン層) 3 の表面の自然酸化膜 109b を除去する。更に、半導体基板 1 を減圧 CVD 炉内に入れたまま、炉内状態を 700℃、50 Pa に変更し、テトラクロルシラン (SiCl_4) ガスとアンモニア (NH_3) ガスを導入して、第一導電層 (多結晶シリコン層) 3 の表面に厚さ 2 nm の CVD シリコン窒化膜 5 を第一の導電層間絶縁膜として形成する。このとき、素子分離絶縁膜 4 の表面には CVD シリコン窒化膜 5 は堆積しない。これは、テトラクロルシラン (SiCl_4) ガスが分解した吸着種の表面反応に依存すると考えられる。即ち、シリコン酸化膜の場合にはシリコンの場合よりも、 Si_3N_4 膜 5 の堆積開始までの時間 (インキュベーション時間) が長いためである。

【0031】

(ホ) 次に、図 7 に示すように、全面に厚さ 15 nm の第二の導電層間絶縁膜としての Al_2O_3 膜 6 を減圧 CVD 法で堆積する。

【0032】

(ヘ) この後、全面に多結晶シリコン層/タングステンシリサイド (WSi_2) 層を堆積し、2 層構造の第二導電層 (制御ゲート電極) 7 を形成する。第二導電層 (制御ゲート電極) 7 の厚さは、例えば、100 nm とする。更に、RIE のマスク材を CVD 法で堆積する。その後、レジストマスクを用いた RIE 法により、マスク材、第二導電層 (制御ゲート電極) 7、第二の導電層間絶縁膜 (A

12O₃膜) 6、第一の導電層間絶縁膜 (Si₃N₄膜) 5、第一導電層 (浮遊ゲート電極) 3、セル部ゲート絶縁膜 (トンネル酸化膜) 2を順次エッチング加工して、ワード線方向のスリットを形成し、各メモリセルを分離する。これにより、第一導電層 (浮遊ゲート電極) 3及び第二導電層 (制御ゲート電極) 7の形状が確定する。

【0033】

(ト) 次に、ワード線方向のスリットの露出面に電極側壁酸化膜と呼ばれるシリコン酸化膜を熱酸化法で形成後、イオン注入法を用いて、メモリセルトランジスタのソース/ドレイン拡散層を形成すれば、図1に示す第1の実施の形態に係るメモリセル構造が完成する。実際には、更に、全面を覆うように層間絶縁膜をCVD法で形成し、その後は、周知の方法で配線層等を形成することは勿論である。

【0034】

なお、本発明の第1の実施の形態に係るメモリセル構造の製造方法で、第一導電層3表面に形成された自然酸化膜を、減圧CVD炉内で除去し、そのまま第一の導電層間絶縁膜 (Si₃N₄膜) 5を選択堆積している。これは、第一導電層3表面と素子分離絶縁膜4表面とのインキュベーション時間差を十分に確保するためである。又、自然酸化膜除去のための水素アニールは、減圧で行うのが望ましい。圧力が高い場合に、自然酸化膜を十分除去するためには900℃以上の高温が必要になり、高温水素アニールでは、トンネル酸化膜の膜質が劣化してメモリセルの信頼性を低下させるからである。

【0035】

又、シリコン上とシリコン酸化膜上のインキュベーション時間差を大きくするために、第一の導電層間絶縁膜 (Si₃N₄膜) 5の選択的な堆積条件は、700℃以下の低温が望ましい。低温ほど望ましいが、表面反応のエネルギーを考慮すれば、500℃以上が望ましい。500℃以下では成長速度が非常に小さくなり現実的でない。

【0036】

表面反応を利用して、シリコン上とシリコン酸化膜上のインキュベーション時

間差を大きくするためには、シリコンソースはシリコンのハロゲン化物であることが好ましく、特にシリコンの塩素化合物が好ましい。シリコンの塩素化合物としては、ジクロルシラン (SiH_2Cl_2) よりもトリクロルシラン (SiHCl_3) が望ましく、トリクロルシランよりもテトラクロルシランの方が望ましい。

【0037】

第1の実施の形態に係る半導体記憶装置の製造方法によれば、第一導電層3の露出面に選択的に第一の導電層間絶縁膜 (Si_3N_4 膜) 5を堆積できる。更に、シリコンソースの選択により第一の導電層間絶縁膜 (Si_3N_4 膜) 5堆積の選択比を向上させて、第一導電層3露出面に厚い第一の導電層間絶縁膜 (Si_3N_4 膜) 5を形成できる。又、セル部ゲート絶縁膜の膜質を劣化させることなく、効果的に第一導電層3表面の自然酸化膜を除去できる。更に、自然酸化膜除去を低温で行えるので、セル部ゲート絶縁膜の膜質を劣化させることなく、効果的に第一導電層3表面の自然酸化膜を除去できる。

【0038】

なお、第1の実施の形態に係る半導体記憶装置及びその製造方法は、図2に示すNAND型フラッシュメモリに限られるのではなく、電荷蓄積層である浮遊ゲートを持つ構造の1つ以上のトランジスタからなる不揮発性メモリセルアレイ、例えば図8に等価回路が示されるAND型フラッシュメモリなどにも適用できることは勿論である。

【0039】

(第2の実施の形態)

図9は図2(b)に示したワード線W11, WL2, ……., WL32方向の断面図である。本発明の第2の実施の形態に係る半導体記憶装置は、図9に示すように、素子分離絶縁層4で側壁が覆われた第一導電層3と、第一導電層3の頂部上にそれぞれ配置された第一の導電層間絶縁膜5を備える。第一の導電層間絶縁膜5は、第一導電層3の上部端面からこの上部端面に連続する側面まで延長形成されている。第一の導電層間絶縁膜5が、素子分離絶縁膜4と第一導電層3の境界面となる第一導電層3の側面にまで延長形成されている点では、第1の実施の形態に係る半導体記憶装置の場合と類似な構造ではあるが、第1の実施の形態

に係る半導体記憶装置の場合とは異なり、第一の導電層間絶縁膜 5 は、第一導電層 3 の上部端面の一部及びこの上部端面に連続する側面の一部に食い込む形で、第一導電層 3 の側面の一部と上面を被覆している。即ち、第一の導電層間絶縁膜 5 は、第一導電層 3 の上部端面の一部及びこの上部端面に連続する側面の一部を構成する半導体材料が他の元素と反応した結果生成された絶縁膜である点が、第 1 の実施の形態に係る半導体記憶装置の場合と異なる点である。具体的には、第一の導電層間絶縁膜 5 が、第一導電層 3 を構成する多結晶シリコン層の表面が直接熱窒化されて形成された、酸素を含んだシリコン窒化膜 (SiN_xO_y 膜) の場合について、ここでは例示する。但し、 SiN_xO_y 膜の組成 $y = 0$ の場合、即ち酸素を含まないシリコン窒化膜 (Si_3N_4 膜) でも良いことは勿論である。

【0040】

即ち、第 2 の実施の形態に係るメモリセル構造では、浮遊ゲート電極を構成する第一導電層 3 の側壁は素子分離絶縁膜 4 で覆われており、第一導電層 (浮遊ゲート電極) 3 の上面は SiN_xO_y 膜からなる第一の導電層間絶縁膜 5 で覆われている。更に、素子分離絶縁膜 4 と第一導電層 3 の境界面のうち、導電層間絶縁膜 5 に近い領域にも SiN_xO_y 膜からなる第一の導電層間絶縁膜 5 が設けられている。又、第一導電層 3 の側面において、第一の導電層間絶縁膜 5 が延長形成される最先端の位置は、素子分離絶縁膜 4 の上部端面の位置よりも深い位置になっている点も第 1 の実施の形態に係る半導体記憶装置の場合と異なる点である。他は、第 1 の実施の形態と実質的に同様であるので、重複した記載を省略する。

【0041】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセル構造は、上記のように構成されており、第一導電層 3 と第二導電層 7 との間には第二の導電層間絶縁膜 6 があるため、第一導電層 3 と第二導電層 7 との間の電荷リークやショート不良は起きない。又、隣接する第一導電層 3 間は第一の導電層間絶縁膜 5 でつながっていないため、第一の導電層間絶縁膜 5 に起因した電荷移動に伴うセルしきい値の変動はない。且つ、第一の導電層間絶縁膜 5 を酸化性雰囲気中で改質アニールする際に、第一導電層 3 の側壁が酸化されることがないため、第一導電層 (浮遊ゲート電極) 3 と第二導電層 (制御ゲート電極) 7 間の容量低下を防止する

ことができる。

【0042】

なお、図9では、第一の導電層間絶縁膜 (SiN_xO_y 膜) 5と第二の導電層間絶縁膜 (Al_2O_3 膜) 6の2層積層構造の場合を例示したが、第2の実施の形態に係るメモリセル構造は、これに限るものではない。第二の導電層間絶縁膜 (Al_2O_3 膜) 6は、第1の実施の形態に係る半導体記憶装置で説明したような他の高誘電体絶縁膜でも良いし、多層膜でも良い。又、ONO膜でも良い。更に、第一導電層 (浮遊ゲート電極) 3と第一の導電層間絶縁膜 (SiN_xO_y 膜) 5との間に、電荷が容易に透過できる程度の薄いシリコン酸化膜 (SiO_2 膜) が存在する場合にも、本発明は適用できる。このシリコン酸化膜の厚さは典型的には2nm以下が好ましい。更に、第一の導電層間絶縁膜5は、主成分がシリコン (Si)、窒素 (N) 及び、酸素 (O) であれば、他の元素を含んでいても良い。水素 (H)、塩素 (Cl) 等が含まれていても良い。例えば、水素 (H) が10%程度含まれる場合も、本発明は適用できる。

【0043】

なお、本発明の第2の実施の形態に係るメモリセル構造においては、第一の導電層間絶縁膜5に電荷トラップ準位が多い場合は、この電荷トラップ準位に起因した電荷移動に伴うセルしきい値変動の抑制効果が大きいのは容易に理解できるであろう。

【0044】

第2の実施の形態に係るメモリセル構造の製造方法を、図10～図13を用いて説明する。図10～図13では、図2(b)に示したビット線 BL_{2j-1} , BL_{2j} , BL_{2j+1} , ……方向の断面図は省略している。なお、以下に述べる第2の実施の形態に係るメモリセル構造の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0045】

(イ) まず、第1の実施の形態に係るメモリセル構造の製造方法と同様に、半導体基板 (Si基板) 1の表面に、セル部ゲート絶縁膜2となるトンネル酸化膜を熱酸化法で形成する。その後、第一導電層3となる多結晶シリコン層3、素子

分離加工のためのマスク膜を順次、CVD法で堆積する。その後、RIE法により、マスク膜、多結晶シリコン層3、トンネル酸化膜（セル部ゲート絶縁膜）2を順次エッチング加工し、更に半導体基板1の露出領域をエッチングして、素子分離溝を形成する。次に、全面に素子分離用のシリコン酸化膜4を堆積して、素子分離溝を完全に埋め込む。その後、表面部分のシリコン酸化膜4をCMP法で、マスク膜が露出するまで除去し、更にCMP法でマスク膜が完全に除去されるまで表面を削って、図10に示すように表面を平坦化する。図10は、素子分離溝にはシリコン酸化膜からなる素子分離絶縁膜4が埋め込まれた状態を示す。

【0046】

(ロ) そして、850℃の一酸化窒素（NO）ガス雰囲気中で熱処理すると、図11に示すように、露出した第一導電層（多結晶シリコン層）3の表面が直接熱酸化され、酸素を含んだシリコン窒化膜（ SiN_xO_y 膜）5とシリコン酸化膜109eの積層絶縁膜が形成される。

【0047】

(ハ) 次に、図12に示すように、希フッ酸でシリコン酸化膜109eを除去し、第一の導電層間絶縁膜となる SiN_xO_y 膜5だけを残した。残った第一の導電層間絶縁膜（ SiN_xO_y 膜）5の膜厚は約1nm程度である。

【0048】

(ニ) 次に、図13に示すように、全面に減圧CVDで厚さ15nmの第二の導電層間絶縁膜として、 Al_2O_3 膜6を堆積する。更に、800℃、30Paでオゾン（ O_3 ）雰囲気中で、 Al_2O_3 膜6の改質アニールを行う。この改質アニールは、第二の導電層間絶縁膜（ Al_2O_3 膜）6のリーク電流を低減するために行う。その後、第二導電層（制御ゲート電極）7となる導電層を全面に形成し、更に、RIEのマスク材をCVD法で堆積する。その後、レジストマスクを用いたRIE法により、マスク材、第二導電層（制御ゲート電極）7、第二の導電層間絶縁膜（ Al_2O_3 膜）6、第一の導電層間絶縁膜（ SiN_xO_y 膜）5、第一導電層（浮遊ゲート電極）3、セル部ゲート絶縁膜（トンネル酸化膜）2を順次エッチング加工して、ワード線方向のスリットを形成し、各メモリセルを分離する。これにより、第一導電層（浮遊ゲート電極）3及び第二導電層（制御ゲート電極

） 7 の形状が確定する。次に、ワード線方向のスリットの露出面に電極側壁酸化膜を形成後、イオン注入法でメモリセルトランジスタのソース／ドレイン拡散層を形成すれば、図 9 に示す第 2 の実施の形態に係るメモリセル構造が完成する。実際には、層間絶縁膜を介して、更に配線層等が形成されることは勿論である。

【0049】

なお、第 2 の実施の形態に係るメモリセルの製造方法では、 SiN_xO_y 膜 5 が、第一導電層 3 の露出面だけでなく、第一導電層 3 と素子分離絶縁膜 4 の境界面の一部にも形成される。このため、図 14 に示すように、オゾン雰囲気中で Al_2O_3 膜 6 を改質アニールするときに、オゾンガスの一部は Al_2O_3 膜 6 及び素子分離絶縁膜 4 を透過するが第一の導電層間絶縁膜（ SiN_xO_y 膜） 5 は透過しないため、第一導電層 3 側壁にシリコン酸化膜が形成されることはない。したがって、第一導電層（浮遊ゲート電極） 3 と第二導電層（制御ゲート電極） 7 間の容量低下を回避できる。なお、図 15 に示すように SiN_xO_y 膜 5 が第一導電層 3 の露出面だけに形成される場合には、シリコン酸化膜 42 が第一導電層 3 の側壁に形成され、第一導電層（浮遊ゲート電極） 3 と第二導電層（制御ゲート電極） 7 間の容量低下が起こる。

【0050】

このように、第 2 の実施の形態に係る半導体記憶装置の製造方法によれば、第一導電層 3 の露出面に選択的に第一の導電層間絶縁膜（ SiN_xO_y 膜） 5 を形成できる。

【0051】

（第 3 の実施の形態）

図 16 は図 2（b）に示したワード線 $\text{WL}1$ ， $\text{WL}2$ ，……， $\text{WL}32$ 方向の断面図である。本発明の第 3 の実施の形態に係る半導体記憶装置のメモリセル構造は、図 1 に示す第 1 の実施の形態に係る半導体記憶装置と類似な構造ではあるが、図 16 に示すように、上面がシリコン酸窒化膜（ SiN_xO_y 膜） 8 で覆われた素子分離絶縁層 4 を備える点が異なる。他は、第 1 の実施の形態と実質的に同様であるので、重複した記載を省略する。

【0052】

図16に示すように、第3の実施の形態に係る半導体記憶装置は、互いに隣接する第一導電層（浮遊ゲート電極）3間が、シリコン酸窒化膜（ SiN_xO_y 膜）8でつながっているが、この SiN_xO_y 膜8中には水素がほとんど含まれていないため、 SiN_xO_y 膜8中の電荷移動は、CVDシリコン窒化膜に比べて著しく遅い。このため、 SiN_xO_y 膜8を介する第一導電層3間の電荷移動に起因するセルしきい値変動は、ほとんどない。又、第一導電層3と第二導電層7との間には第二の導電層間絶縁膜6があるため、第一導電層3と第二導電層7との間の電荷リークやショート不良は起きない。

【0053】

第3の実施の形態に係る半導体記憶装置のメモリセル構造の製造方法を、図17～図19を用いて説明する。図17～図19では、図2（b）に示したビット線 BL_{2j-1} 、 BL_{2j} 、 BL_{2j+1} 、……方向の断面図は省略している。なお、以下に述べる第3の実施の形態に係るメモリセル構造の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0054】

（イ）まず、第1の実施の形態に係るメモリセル構造の製造方法と同様に、半導体基板（ Si 基板）1の表面に、セル部ゲート絶縁膜2となるトンネル酸化膜を形成し、更に、第一導電層3となる多結晶シリコン層3、素子分離加工のためのマスク膜を順次、CVD法で堆積する。その後、マスク膜、多結晶シリコン層3、トンネル酸化膜（セル部ゲート絶縁膜）2を順次エッチング加工し、更に半導体基板1の露出領域をエッチングして、素子分離溝を形成する。次に、シリコン酸化膜4で素子分離溝を完全に埋め込む。更に、シリコン酸化膜4の表面近傍の領域を希フッ酸（ HF ）溶液を用いて部分的にエッチング除去し、多結晶シリコン層（第一導電層）3の側壁面を図17に示すように、露出させる。

【0055】

（ロ）次に、半導体基板1を400℃に加熱し、窒素ラジカルを半導体基板1の表面に導入する。窒素ラジカルは窒素ガスと希ガスの混合雰囲気のパラジマ中で形成する。この窒素ラジカルを用いたラジカル窒化法により、露出した第一導

電層 3 表面に、図 18 に示すように厚さ 2 nm の Si_3N_4 膜 5 が形成される。 Si_3N_4 膜 5 は第一の導電層間絶縁膜として機能する。このとき、素子分離絶縁膜 4 の露出表面には、厚さ約 2 nm の SiN_xO_y 膜 8 が形成される。この SiN_xO_y 膜 8 は、酸素を 20 % 程度含むが、水素の含有率は 0.1 % 未満である。

【0056】

(ハ) 次に、減圧 CVD で図 19 に示すように、全面に厚さ 15 nm の第二の導電層間絶縁膜となる Al_2O_3 膜 6 を堆積する。更に、800℃、30 Pa、オゾン雰囲気では Al_2O_3 膜 6 の改質アニールを行う。

【0057】

(ニ) その後、第二導電層（制御ゲート電極）7 となる導電層を全面に形成し、更に、RIE のマスク材を CVD 法で堆積する。その後、マスク材、第二導電層（制御ゲート電極）7、第二の導電層間絶縁膜（ Al_2O_3 膜）6、第一の導電層間絶縁膜（ Si_3N_4 膜）5、第一導電層（浮遊ゲート電極）3、セル部ゲート絶縁膜（トンネル酸化膜）2 を順次エッチング加工して、各メモリセルを分離する。次に、メモリセルトランジスタのソース／ドレイン拡散層を形成すれば、図 16 に示す第 3 の実施の形態に係るメモリセル構造が完成する。実際には、層間絶縁膜を介して更に配線層等が形成されることは勿論である。

【0058】

第 3 の実施の形態に係るメモリセルの製造方法では、ラジカル窒化法を用いて第一の導電層間絶縁膜（ Si_3N_4 膜）5 を形成したが、アンモニアガスを用いた熱窒化でも可能である。但し、この場合には、素子分離絶縁膜 4 の露出面に形成される SiN_xO_y 膜 8 中に多量の水素が導入されて、膜中の電荷移動が起こるようになる。したがって、窒素ラジカルを用いて第一の導電層間絶縁膜（ Si_3N_4 膜）5 を形成するのが望ましい。

【0059】

第 3 の実施の形態に係る半導体記憶装置の製造方法によれば、第一導電層 3 の露出面に第一の導電層間絶縁膜 5 となる Si_3N_4 膜を、素子分離絶縁膜 4 の露出表面に SiN_xO_y 膜 8 を、それぞれ選択的に形成できる。

【0060】

(その他の実施の形態)

上記のように、本発明は第1乃至第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0061】

例えば、図20に示すように、第一導電層（浮遊ゲート電極）3の側壁部のすべてを素子分離絶縁膜4で覆い、第一導電層3の上面だけに第一の導電層間絶縁膜5を覆っても良い。図20に示すメモリセル構造でも、第一導電層3と第二導電層7との間の電荷リークやショート不良を起こすことなく、第一導電層（浮遊ゲート電極）3間の電荷移動に伴うセルしきい値変動を防止することができる。

【0062】

更に、本発明の第1乃至第3の実施の形態で説明した半導体記憶装置は、図21に示すようなユニバーサル・シリアル・バス（以下において「USB」という）フラッシュ装置800に应用することが可能である。図21に示すフラッシュメモリシステムはホストプラットフォーム700、及びUSBフラッシュ装置800より構成されている。ホストプラットフォーム700は、USBケーブル750を介して、USBフラッシュ装置800へ接続されている。ホストプラットフォーム700は、USBホストコネクタ701を介してUSBケーブル750に接続し、USBフラッシュ装置800はUSBフラッシュ装置コネクタ801を介してUSBケーブル750に接続する。ホストプラットフォーム700は、USBバス上のパケット伝送を制御するUSBホスト制御器702を有する。USBフラッシュ装置800は、USBフラッシュ装置800の他の要素を制御し、且つUSBフラッシュ装置800のUSBバスへのインタフェースを制御するUSBフラッシュ装置制御器802と、USBフラッシュ装置コネクタ801と、本発明の第1乃至第3の実施の形態で説明した半導体記憶装置を少なくとも1つ含んで構成されたフラッシュメモリモジュール850とを備える。

【0063】

USBフラッシュ装置800がホストプラットフォーム700に接続されると、

標準USB列挙処理が始まる。この処理において、ホストプラットホーム700は、USBフラッシュ装置800を認知してUSBフラッシュ装置800との通信モードを選択し、エンドポイントという、転送データを格納するFIFOバッファを介して、USBフラッシュ装置800との間でデータの送受信を行う。ホストプラットホーム700は、他のエンドポイントを介してUSBフラッシュ装置800の脱着等の物理的、電気的狀態の変化を認識し、受け取るべきパケットがあれば、それを受け取る。ホストプラットホーム700は、USBホスト制御器702へ要求パケットを送ることによって、USBフラッシュ装置800からのサービスを求める。USBホスト制御器702は、USBケーブル750上にパケットを送信する。USBフラッシュ装置800がこの要求パケットを受け入れたエンドポイントを有する装置であれば、これらの要求はUSBフラッシュ装置制御器802によって受け取られる。

【0064】

次に、USBフラッシュ装置制御器802は、フラッシュメモリモジュール850から、或いはフラッシュメモリモジュール850へ、データの読み出し、書き込み、或いは消去等の種々の操作を行う。それとともに、USBアドレスの取得等の基本的なUSB機能をサポートする。USBフラッシュ装置制御器802は、フラッシュメモリモジュール850の出力を制御する制御ライン810を介して、又、例えば、/CE等の種々の他の信号や読み取り書き込み信号を介して、フラッシュメモリモジュール850を制御する。又、フラッシュメモリモジュール850は、アドレスデータバス811によってもUSBフラッシュ装置制御器802に接続されている。アドレスデータバス811は、フラッシュメモリモジュール850に対する読み出し、書き込み或いは消去のコマンドと、フラッシュメモリモジュール850のアドレス及びデータを転送する。

【0065】

ホストプラットホーム700が要求した種々の操作に対する結果及び状態に関してホストプラットホーム700へ知らせるために、USBフラッシュ装置800は、状態エンドポイント（エンドポイント0）を用いて状態パケットを送信する。この処理において、ホストプラットホーム700は、状態パケットがないか

をチェックし（ポーリング）、USBフラッシュ装置800は、新しい状態メッセージの packets が存在しない場合に空 packets を、或いは状態 packets そのものを返す。以上のように、本発明の第1乃至第3の実施の形態に係る半導体記憶装置を少なくとも1つ含んで構成されたフラッシュメモリモジュール850を適用することにより、USBフラッシュ装置の様々な機能を実施可能である。又、上記USBケーブル750を省略し、コネクタ間を直接接続することも可能である。

【0066】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の第1の実施の形態に係る技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0067】

【発明の効果】

本発明によれば、第一導電層と第二導電層間の絶縁性を確保して、電荷リークに起因するデータ保持特性劣化やショート不良率増大という問題を回避しつつ、第一の導電層間絶縁膜を介した第一導電層間の電荷移動に起因するセルしきい値変動を防止する半導体記憶装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体記憶装置のメモリセル構造を示す模式的な断面図である。

【図2】

図2（a）は、本発明の第1の実施の形態に係る半導体記憶装置のメモリアレイ部の一部を示す等価回路で、図2（b）は図2（a）に対応する模式的な平面図である。

【図3】

本発明の第1の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その1）。

【図 4】

本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 2）。

【図 5】

本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 3）。

【図 6】

本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 4）。

【図 7】

本発明の第 1 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 5）。

【図 8】

本発明の第 1 の実施の形態の変形例に係る A N D 型フラッシュメモリのメモリアレイ部の一部を示す等価回路である。

【図 9】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセル構造を示す模式的な断面図である。

【図 1 0】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 1）。

【図 1 1】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 2）。

【図 1 2】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 3）。

【図 1 3】

本発明の第 2 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説

明する模式的な工程断面図である（その 4）。

【図 1 4】

本発明の第 2 の実施の形態に係る半導体記憶装置の構造により、オゾンガスの透過に起因するシリコン酸化膜の形成を防止する効果を説明する断面図である。

【図 1 5】

オゾンガスの透過に起因するシリコン酸化膜の形成を示す断面図である。

【図 1 6】

本発明の第 3 の実施の形態に係る半導体記憶装置のメモリセル構造を示す模式的な断面図である。

【図 1 7】

本発明の第 3 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 1）。

【図 1 8】

本発明の第 3 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 2）。

【図 1 9】

本発明の第 3 の実施の形態に係る半導体記憶装置のメモリセルの製造方法を説明する模式的な工程断面図である（その 3）。

【図 2 0】

本発明のその他の実施の形態に係る半導体記憶装置のメモリセル構造を示す模式的な断面図である。

【図 2 1】

本発明の第 1 乃至第 3 の実施の形態に係る半導体記憶装置をフラッシュメモリシステムに適用した場合の構成を示す模式的ブロック図である。

【図 2 2】

従来技術に係る半導体記憶装置のメモリセル構造を示す模式的な断面図である。

【図 2 3】

他の従来技術に係る半導体記憶装置のメモリセル構造を示す模式的な断面図で

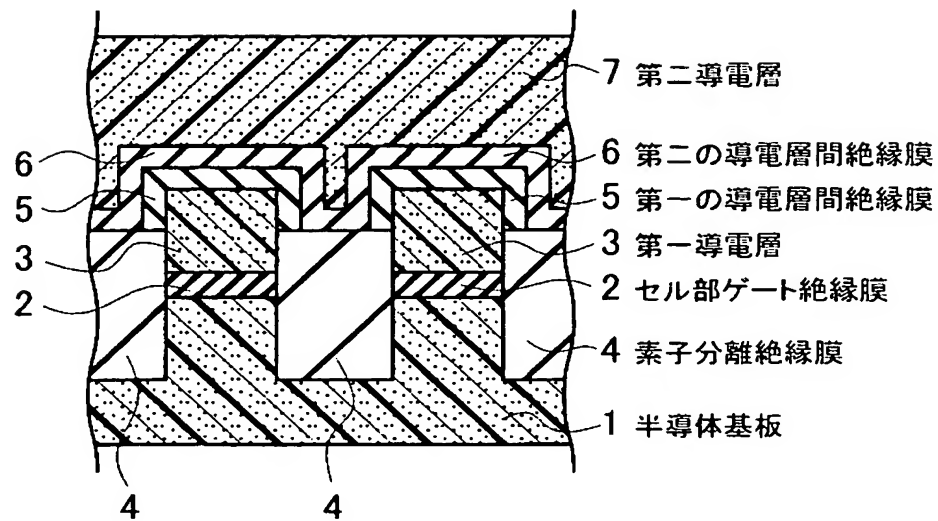
ある。

【符号の説明】

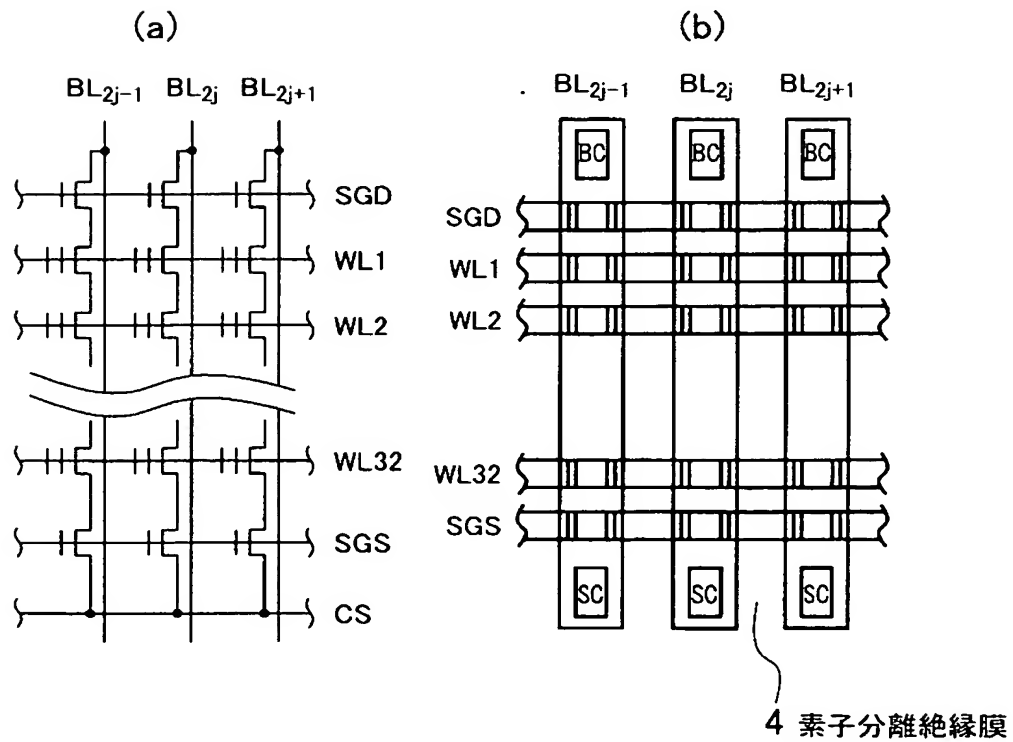
- 1…半導体基板
- 2…セル部ゲート絶縁膜
- 3…第一導電層
- 4…素子分離絶縁膜
- 5…導電層間絶縁膜
- 6…導電層間絶縁膜
- 7…第二導電層
- 8…S i N_xO_y膜
- 9…スリット
- 4 1…素子分離溝
- 4 2…シリコン酸化膜
- 1 0 1…マスク膜
- 1 0 9 b…自然酸化膜
- 1 0 9 e…シリコン酸化膜
- 7 0 0…ホストプラットホーム
- 7 0 1…U S B ホストコネクタ
- 7 0 2…U S B ホスト制御器
- 7 5 0…ケーブル
- 7 5 0…U S B ケーブル
- 8 0 0…フラッシュ装置
- 8 0 0…U S B フラッシュ装置
- 8 0 1…U S B フラッシュ装置コネクタ
- 8 0 2…U S B フラッシュ装置制御器
- 8 1 0…制御ライン
- 8 1 1…アドレスデータバス
- 8 5 0…フラッシュメモリモジュール

【書類名】 図面

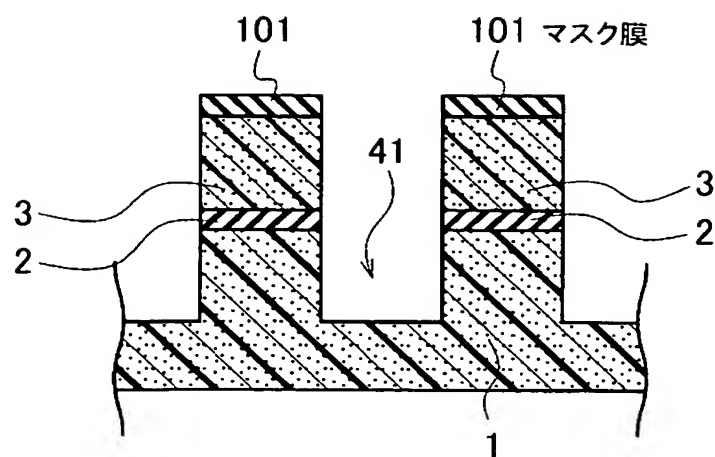
【図 1】



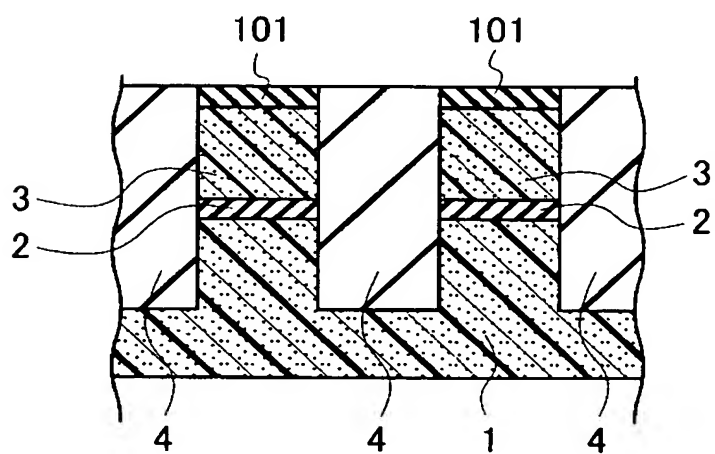
【図 2】



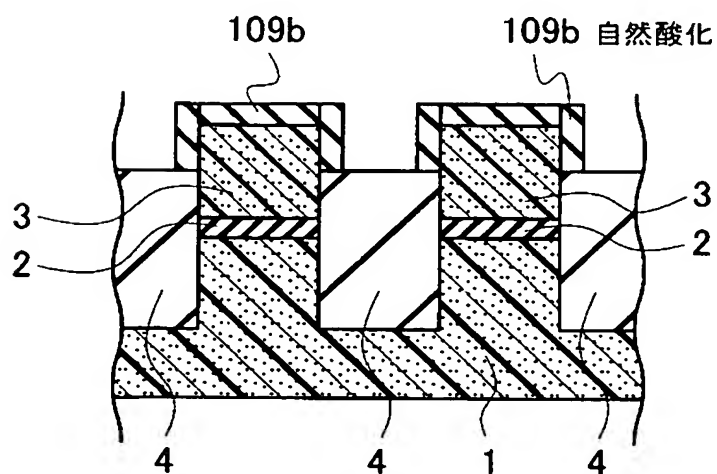
【図 3】



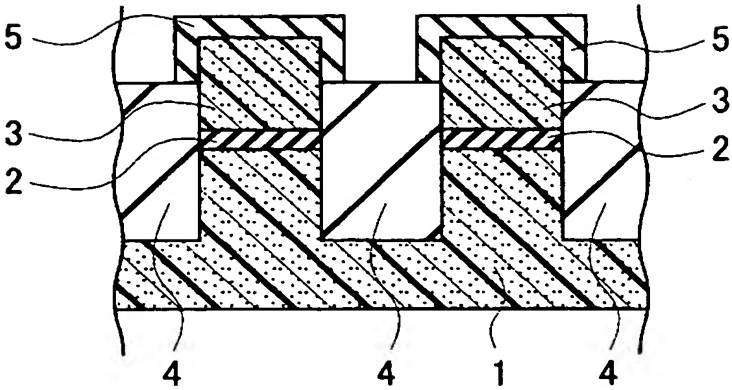
【図 4】



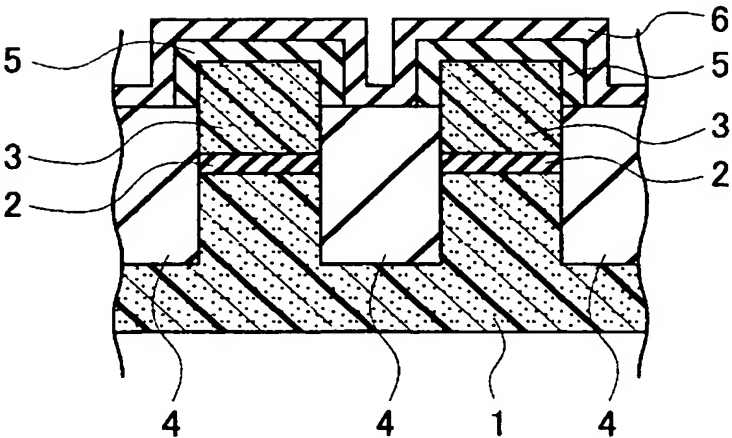
【図 5】



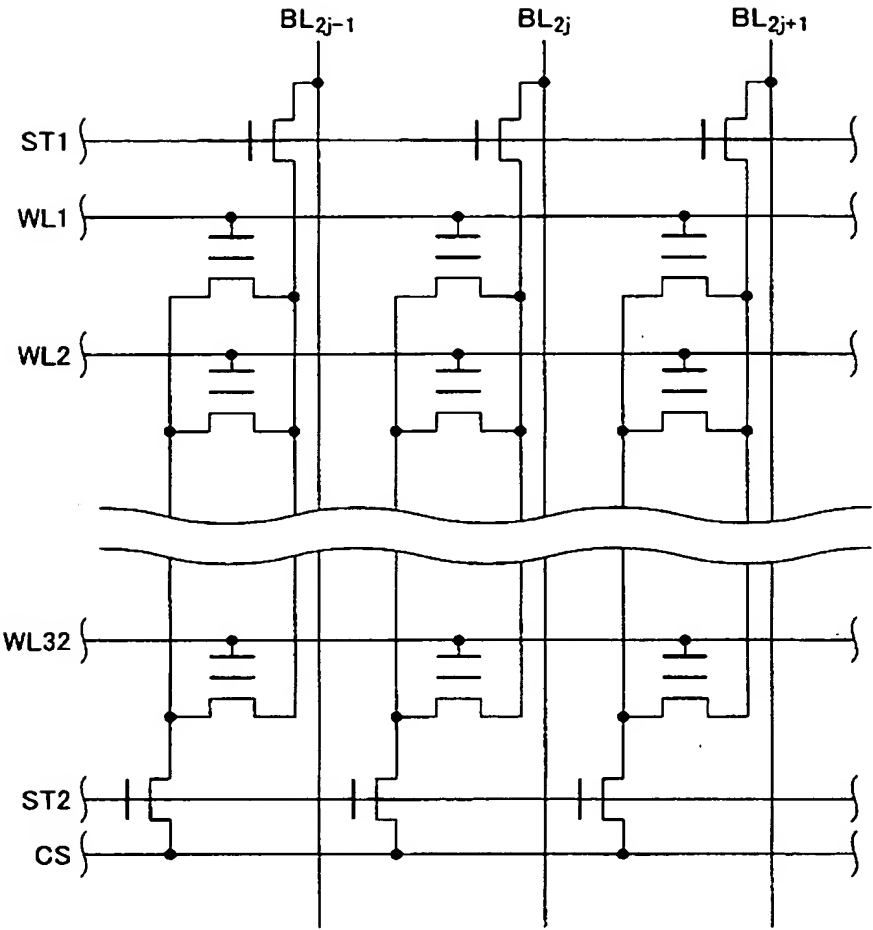
【図 6】



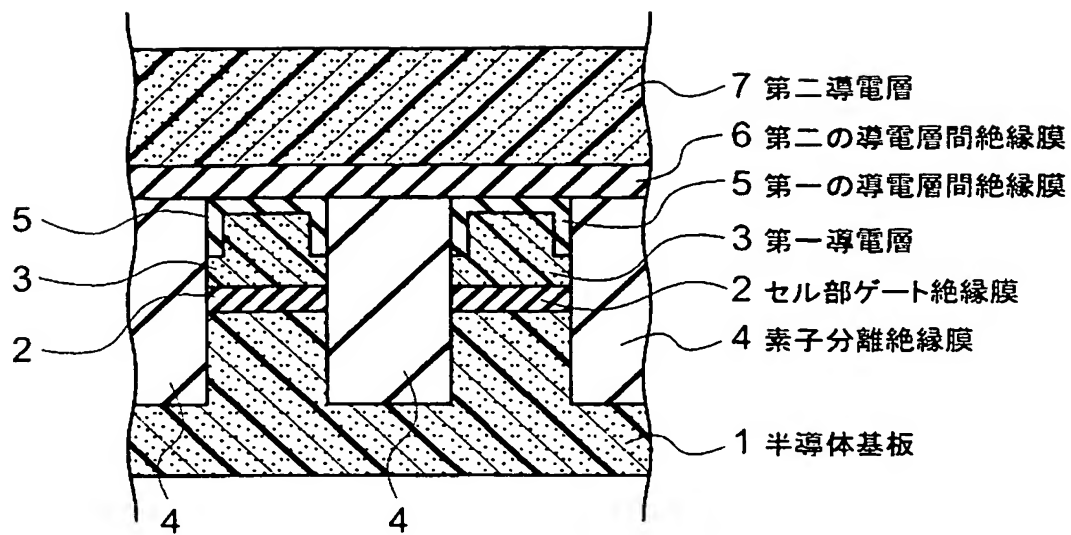
【図 7】



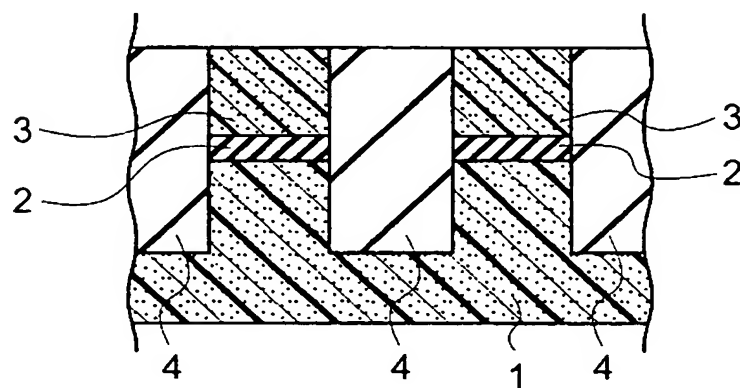
【図 8】



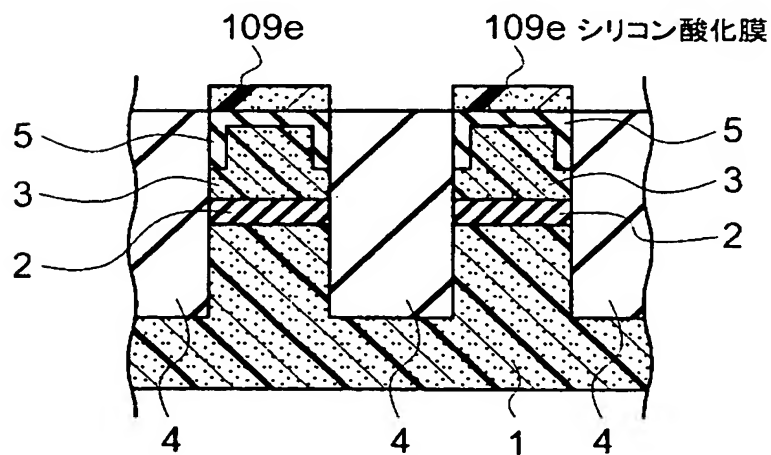
【図 9】



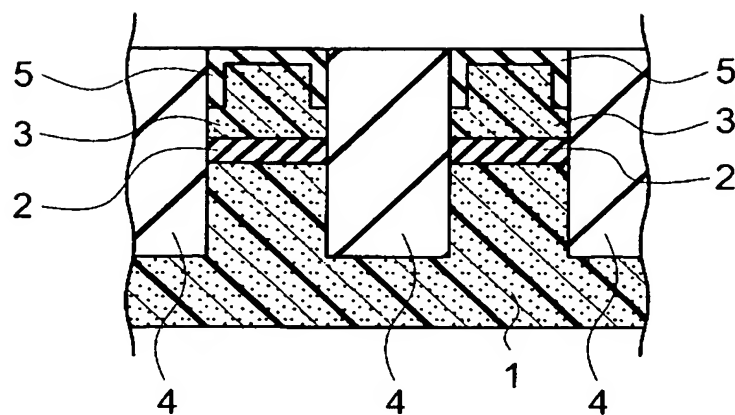
【図 10】



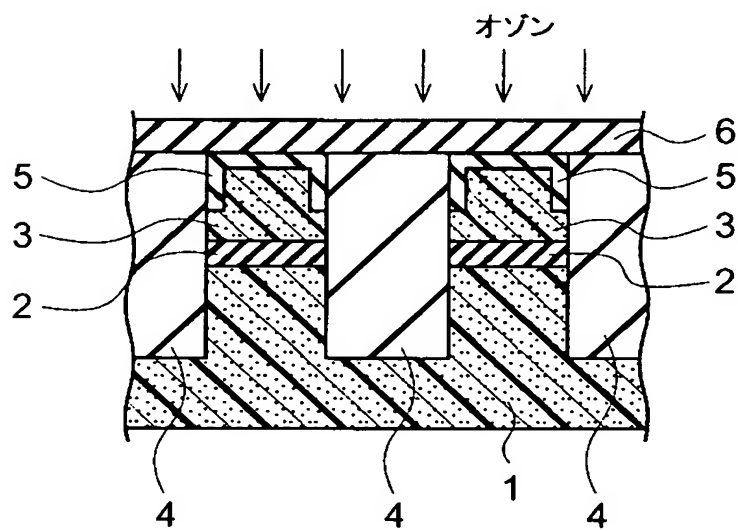
【図 11】



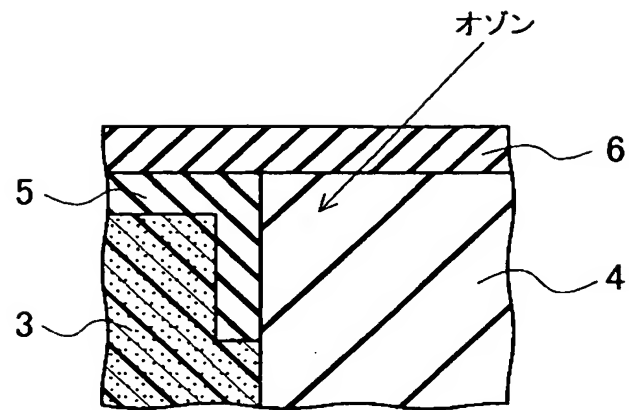
【図 12】



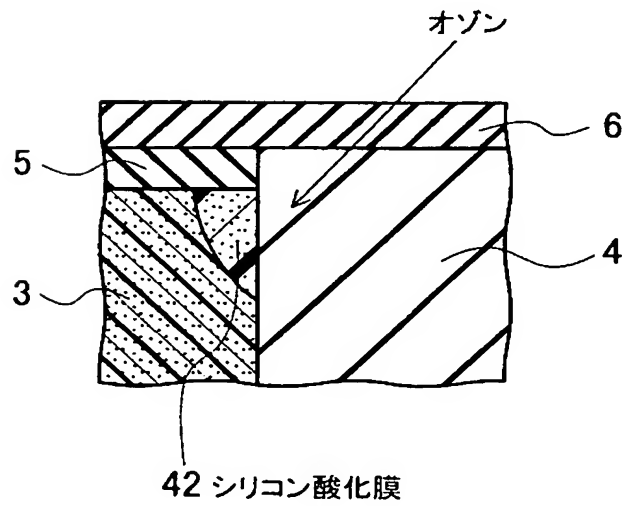
【図 13】



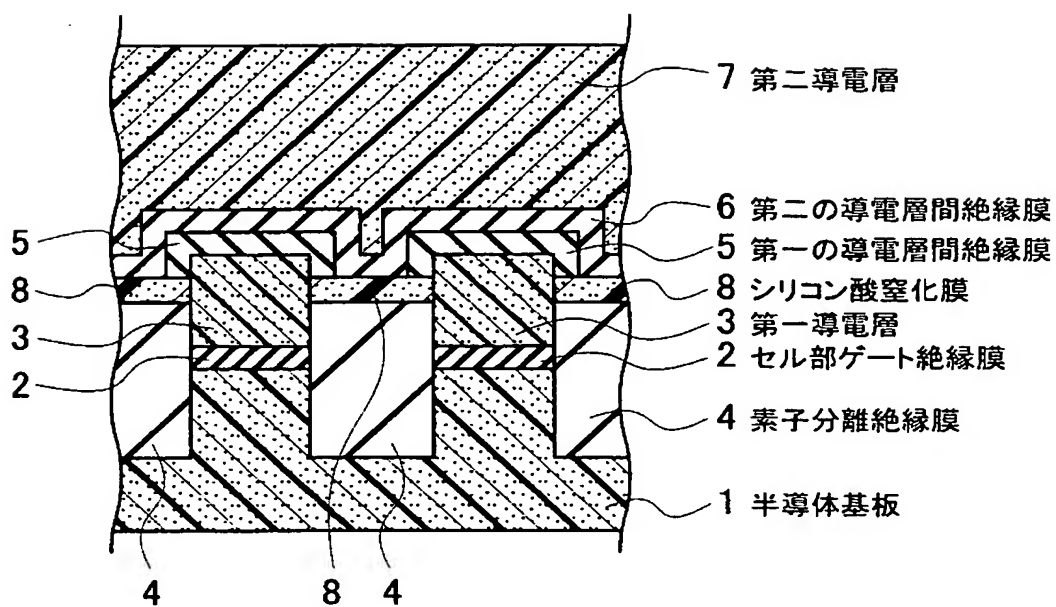
【図 14】



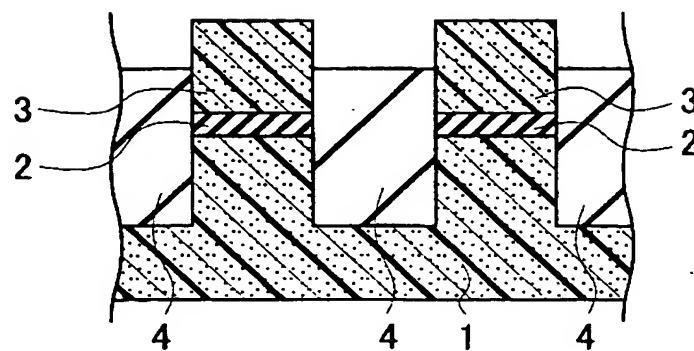
【図 15】



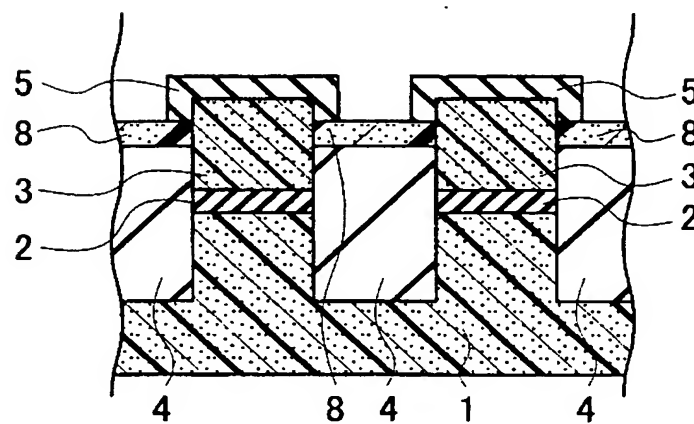
【図 16】



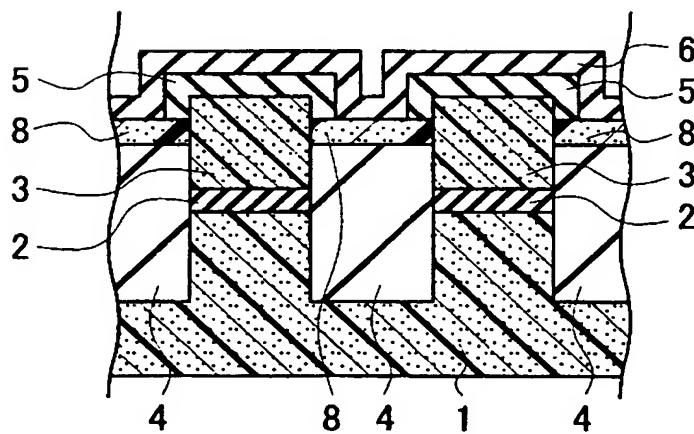
【図 17】



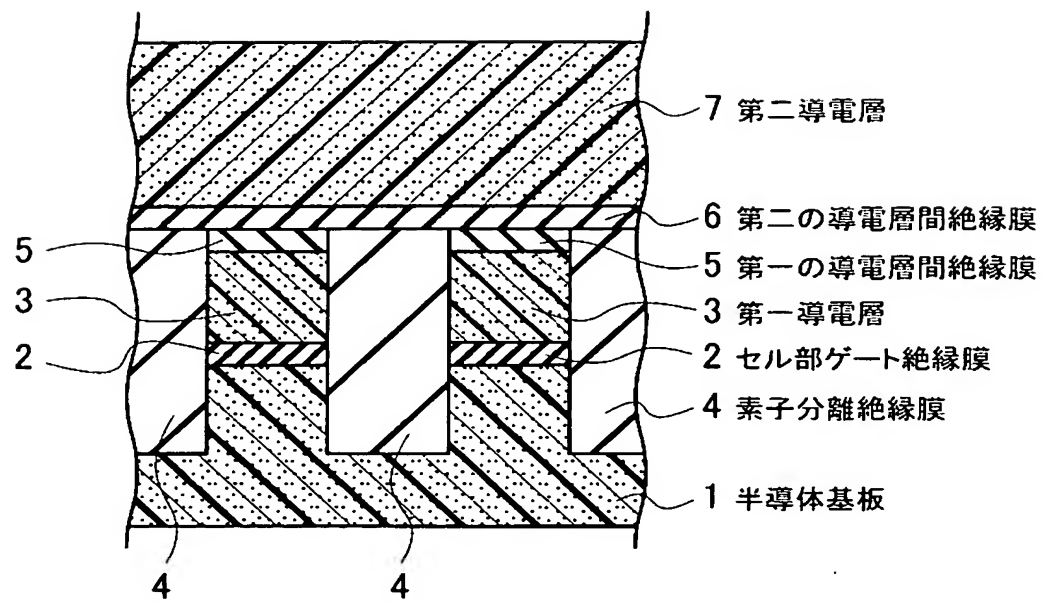
【図 18】



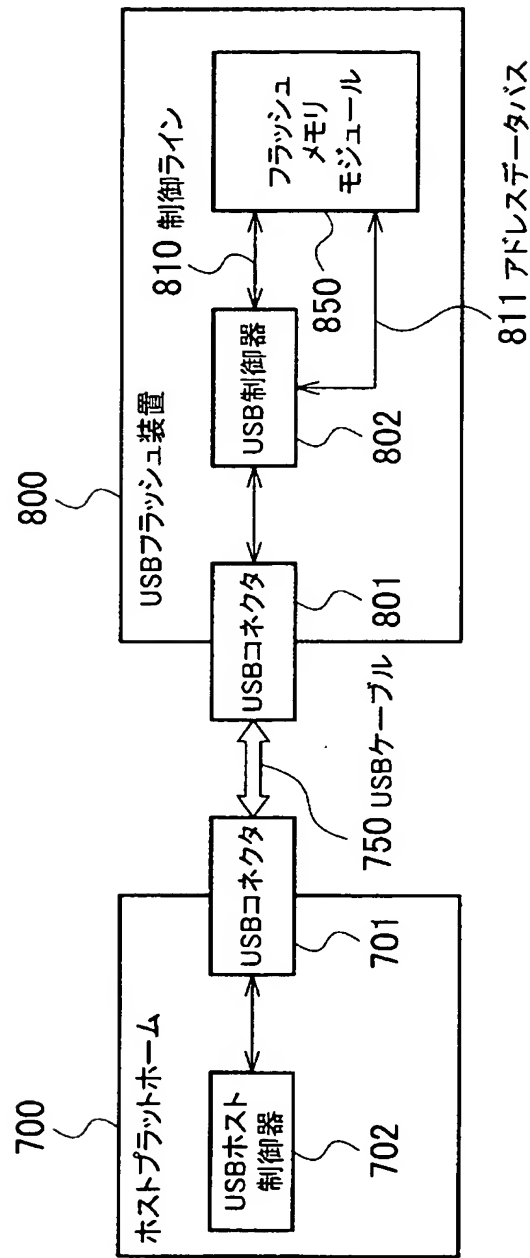
【図 19】



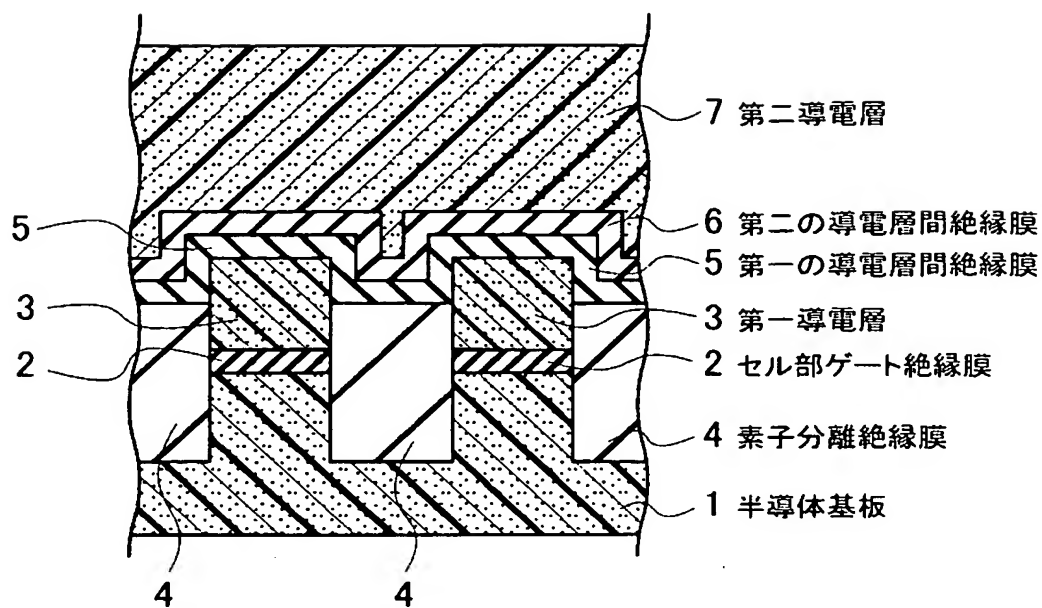
【図 20】



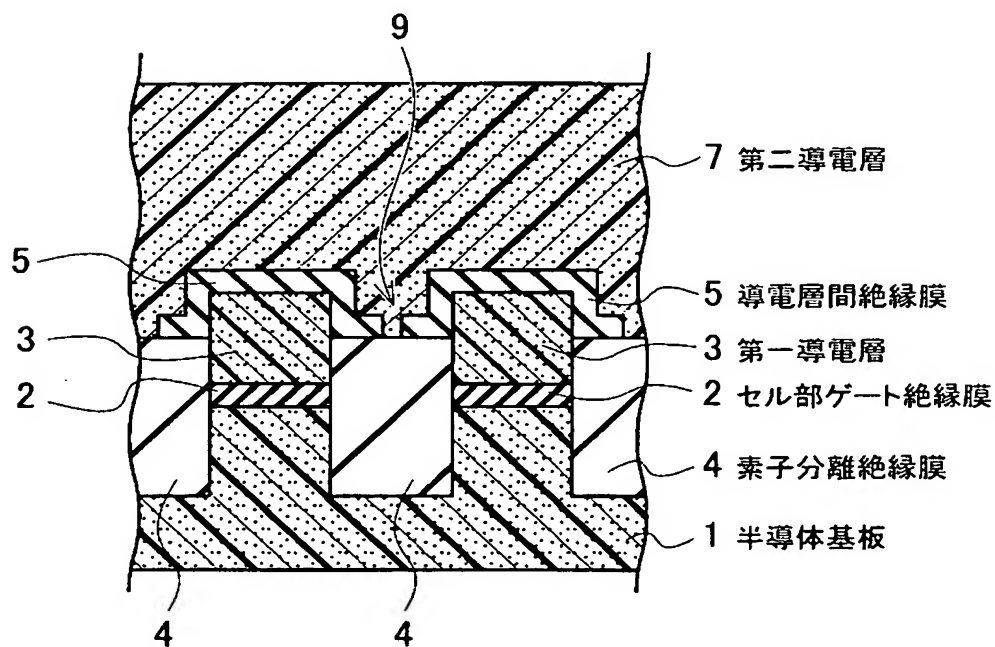
【図 21】



【図 2 2】



【図 2 3】




【書類名】 要約書

【要約】

【課題】 微細化が進み、セル間距離が縮小された場合でも、隣接セル間干渉を最小限に抑制できる半導体記憶装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 と、半導体基板 1 に埋め込まれた素子分離絶縁膜 4 と、素子分離絶縁膜 4 により分離されたセル部ゲート絶縁膜 2、第一導電層 3 を備える。第一導電層 3 の上部端面は、素子分離絶縁膜 4 の上部端面の位置よりも高い。導電層間絶縁膜 5 が、隣接するメモリセルカラムから分離して第一導電層 3 の頂部上及び側面上部に配置されている。第二の導電層間絶縁膜 6 が、素子分離絶縁膜 4 上と導電層間絶縁膜 5 上に配置されている。第二導電層 7 が第二の導電層間絶縁膜 6 上に配置されている。導電層間絶縁膜 6、第二導電層 7 は、隣接するメモリセルカラムに共通の配線となる。

【選択図】 図 1



特願 2 0 0 3 - 1 9 2 4 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1 . 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝